KOREAN PATENT ABSTRACTS

(11) Publication number: 000266749 B1

(21) Application number: 980014850

(44) Date of publication of specification: 27.06.2000 (71) Applicant: SAMSUNG ELECTRONICS CO., LTD.

(22) Date of filing:

25.04.1998

(72) Inventor: JUNG, IN GWON YOON, BO EON

(51) Int. Cl

H01L 21'28

(54) METHOD FOR FORMING CONTACT PLUG OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a contact plug is to prevent a bridge between the interconnects due to a scratch of an insulating layer and to improve planarization of the insulating layer, thereby increasing reliability and yields of a semiconductor device.

CONSTITUTION: A conductive structure is formed on a semiconductor substrate(100) which has a plurality of diffusion regions. An insulating layer is formed on the semiconductor substrate including the conductive structure. The insulating layer is etched until the surface of at least one of the diffusion regions and the conductive structure are exposed, thereby forming a contact hole (108). The contact hole is filled with a conductive substance to form a conductive layer on the insulating layer. The conductive layer is etched until the surface of the insulating layer is exposed, thereby forming a contact plug. The surface of the insulating layer including the contact plug is etched by a planarizing etching process.

http://211.173.78.101/kpa/abstractbody.jsp?appino=1019980014850

2002/05/16

Abstract Body Page

・2/2 ページ

LEGAL STATUS First disposal:

Date of request for examination: 25.04.1998

Number of opposition :

Date of first disposal:

decision of registration

Date of oppsition:

Number of request for trial:

Number of registration :

30.03.2000

02667490000

Date of request for trial:

Date of registration :

27.06.2000

Date of extinction of right:

Copyright (c) 2001 Korean Industrial Property Office.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) oint. Cl. . (11) 공개번호 与1999-006403 H01L 21 /28 (43) 공개일자 1999년01월25일 (21) 출원번호 与1998-014850 (22) 출원임자 1998년 04월 25일 (30) 우선권주장 97-24146 1997년06월11일 대한민국(KR) (71) 출원인 상성전자 주식회사 윤종홍 경기도 수원시 팔당구 애탄동 416번지 (72) 말명자 윤보언 서콥목명시 서초구 만포2동 주공아파트 220동 302호 점인권 경기도 성남시 문당구 정자동 정문마을 우성아파트 610동 1201호 (74) 대리한 임창원 삼사청구 : 있育

(54) 반도체 장치의 본택 플러그 형성 방법

82

본 망명은 배선간의 보리지를 방지하는 반도체 장치의 콘텍 풀러그 형성 방법에 관한 것으로, 목수 개의 확산 명역을 갖 는 반도체 기관 상에 도본 구조물이 형성된다. 도전 구조물을 포함하여 반도체 가판 상에 하부 절연용 및 하무 절연총보 다 높음 경도를 갖는 상후 접연층이 형성된다. 상기 확산 명역을 및 도전 구조물 중 적어도 하나의 상부 표면이 노출당 때까지 절면충을 식각 하여 콘택홀이 형성된다. 콘택홀을 채우면서 상무 절연용 상에 도전층이 형성된다. 적어도 상무 절면층의 상무 표면이 노출되도록 도전층이 식각된 후, 상무 절면층 및 하부 强연송이 평란화 식각 된다. 또는, 도전층, 상무 절면총, 그리고 하무 절연층이 한 번에 명탄화 식각 된다. 이와 같은 반도체 장치의 제조 방법에 의해서, 콘택 품 러그가 협성된 후 절연층이 평란화 식각 템으로써 절연층 상부 표면의 스크래치에 따른 배선간의 보리지를 망지할 수 있 고, 저경도의 하무 절면층 상에 고경도를 갖는 상무 절면충을 형성함으로써, 점엽용 평란화 식각시 도전 구조물이 형성된 고단차 영역과 도전 규칙물이 형성되지 않은 저단차 영역의 평탄화를 개선시킬 수 있고, 평란화 식각읍 위한 갤연종의 두 께름 줄일 수 있다.

叫罗定

€3

BMH

도면의 간단한 절멸

도 1a 내지 도 1d는 중래의 반도체 장치의 콘택 환러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도:

도 2a 내지 도 2e는 돈 반영의 제 1 심시예에 따른 만도체 장치의 콘택 쯉러그 형성 망명의 공정둡을 순차적으로 보여주 는 요즘도:

도 3은 본 발명의 쟤 1 실시예에 따쁜 리세스된 콘택 플러그랑 보여주는 단면도:

도 4a 내지 도 4e는 본 말명의 제 2 실시예에 따른 반도체 장치의 콘데 끊러그 형성 방법의 공점들을 순차적으로 보여주 는 호름도:

도 5는 곧 발명의 제 2 실시에에 따른 리세스된 콘택 플러그룹 보여주는 단면도.

• 도면의 주요 부문에 대한 부호의 설명

1. 100, 200 : 반도체 기판

2, 102 : 소자격리와

4. 104 : 게이트 전국

6, 106, 204 : 절연충

8. 108, 206 : 콘틱증

10. 110. 208 : 도전용

10a, 110a, 208a : 흰맥 플러그 - 110b, 208b : 리세스된 콘맥 플러그

202 : 금속 배선

207 : 배리어타

말명의 상세한 설명

반명의 목적

발명이 속하는 기술 및 그 문야의 종래기술

본 말명은 반도체 장치의 제조 당명에 관한 것으로, 뿅 더 구체적으로는 배선간의 보리지(bridge)를 당지하는 반도체 장 치의 은택 플러그(contact plug) 형성 방법에 관한 것이다.

반도체 장치가 고집적화 됨에 따라, 다층 배선 기술이 요구된다.

다총 배선 기술에 있어서, 훈토리소그라피(photolithography) 공쟁 야진을 확보하고 배선의 길이를 최소화시키기 위해서 정연송 및 도전송의 평란화가 요구된 I. 평란도가 유지되지 않으면, 심각한 토끝로지(topology)로 인해 배선이 끊어지거 니 (upun) 안락(short)되는 문제점이 발생된다.

절연총 및 도전총의 평란화가 요구되는 공정의 예로서, 콘택 플러그 형성 공정이 있다.

도 la 내지 도 ld는 종래의 반도체 장치의 콘택 플러그 형성 방법의 공정품을 순차적으로 모여주는 흐름도 이다.

도 1a글 창조하면, 종래의 반도체 장치의 콘택 플러그 형성 방법은 먼저, 소자격리막(2)을 갖는 반도체 기판(1) 상에 게 이트 전국(4) 예골 줄어, 박도체 메모리 장치의 워드 라인이 형성된다. 삼기 게이트 전국(4)을 포함하여 반도체 기판(1) 전면에 활연충(6) 예를 들어. 산화막이 충착 된다. 상기 절연충(6)의 상무 표면은 상기 게이트 전국(4)의 로폴로지 (topology)를 따라 출동물통하게 형성된다. 또한, 상기 게이트 전국(4)이 형성된 고단차 영역과 형성되지 않은 제단차 영역이 있게 된다.

상기 절면용(6)을 CMP(chemical mechanical polishing) 공점으로 식각 하면 도 1b에 도시된 바와 같이, 상기 절면총(6)의 상무 표면이 평란화 된다.

도 1c에 있어서, 상기 절연층(6)을 식각 하여 확산 영역들(도면에 미도시)을 노출시키가 위한 콘택홀(8)이 청성된다. 상기 콘택홀(8)이 완전히 채워지도록 상기 절연층(6) 상에 도전층(10) 예급 끝어, 끝리실리콘막이 중착 된다.

마지막으로, 상기 도전용(10)을 상기 점연용(6)의 상부 표면이 노출될 때까지 CMP 공정으로 식각 하면 도 1d에 도시된 바와 같이, 콘택 즐러그(10a)가 형성된다.

그러나, 상술한 바와 같은 좀래 콘택 둘러그 형성 방법은, 절연층 CMP 공정이 도전층 CMP 공정에 선행되기 때문에 다음과 같은 문제점이 말생된다. 즉, 상기 절연층 CMP 공정시 절연층 상부 표면에 연마제에 의한 마이크로 스크래치(microscratch) 및 피팅(pitting),등의 결함이 탐생되는데, 이는 후속 도전흥 증착 공정시 상기 결함 무위에 도전 문질이 트랜(trap)되어 배선간의 브리지큼 유말하게 된다. 결과적으로, 소자의 신뢰성(reliability) 및 수율(yield) 등을 저하시키는 문제정이 맠생된다.

联盟的 的星卫及战争 刀舍者 亚利

본 단명은 상순한 제반 문제점을 해결하기 위해 제안된 것으로서, 배선간의 브리지 현상을 탄생시키지 않고 본택 플러그 형성 및 결연형 평란화를 얻을 수 있는 반도체 장치의 제조 망법을 제공함에 그 목적이 있다.

곤 발명의 다른 옥적은 절면층의 상부를 상대적으로 높은 경도(硬度)를 갖는 물질로 청성향으로써 고단차 영역과 저단차 영역을 효과적으로 평란화 사립 수 있는 반도체 장치의 제조 방법을 제공함에 있다.

탄명의 구성 및 작용

(구성)

상출한 목적을 단성하기 위한 돈 방영에 의하면, 만도체 장치의 콘택 풍러그 형성 방법은, 반도체 기판 내에 축수 개의확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계: 상기 도전 구조물을 포항하여 반도체 기판 상에 절면응을 형성하는 단계; 상기 확산 영역을 잃 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 절면응은 식각하여 콘택홀을 형성하는 단계; 상기 콘택홀을 재우면서 상기 절연층 상에 도전증을 형성하는 단계; 적어도 상기 절연층의 상부 표면이 노출될 때까지 상기 도전증을 식각 하여 콘택 플러그를 형성하는 단계; 및 상기 콘택 플러그꼴 포함하여 상기 절연층의 상부 표면을 평란화 식각 공정으로 식각 하는 단계을 포함한다.

이 방법의 바람칙한 실시에에 있어서, 상기 도전층 형성 전에 상기 콘타홀을 포함하여 절연층 상에 배리어막을 형성하는 단계를 더 포함할 수 있다.

상숙한 목적을 달성하기 위한 본 방명에 의하면, 반도채 장치의 콘택 풀러그 형성 방명은, 반도체 기판 내에 목수 개의확산 영역을 갖는 만도체 기판 상에 도전 구조료을 형성하는 단계: 상기 도전 구조료을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절연츰보다 상대적으로 경도가 높은 제 2 절연층을 차례로 형성하는 단계: 상기 확산 영역들 및 도전 구조료 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘택홀을 형성하는 단계: 상기 콘택홀을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계: 적어도 상기 제 2 절연층의 상부 표 면이 노출됨 때까지 상기 도전증을 식각 하여 콘택 플러그콩 형성하는 단계: 및 상기 콘택 플러그룹 포함하여 상기 제 2 절연중 및 제 1 절연층의 상부 표연을 평란화 식각 공쟁으로 식각 하는 단계를 포함하고, 상기 제 2 절연층은, 상기 평란 화 식각 공정에서 도전 구조룹 및 콘택흡이 형성되지 않은 저단차 부위의 제 2 절연층 및 제 1 절연층이 상대적으로 느리 게 식각 되도록 한다.

상출한 목적을 달성하기 위한 본 말명에 의하면, 반도체 장치의 콘택 플러그 협성 방법은, 반도체 기판 내에 목수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 협성하는 단계: 상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절면충보다 상대적으로 정도가 높은 제 2 절연층을 차례로 협성하는 단계: 상기 확산 영역들 및 도전 구 조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘맥증을 행성 하는 단계: 상기 콘맥출을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계: 및 상기 도전층, 제 2 절연층, 그리 고 제 1 절연층을 차례로 평란화 식각 하여 콘택 플러그 및 평란한 상부 표면을 갖는 제 1 절연층을 형성하는 단계를 포 함하고, 상기 제 2 절연층은 상기 평란화 식각 공정시, 도전 구조물 및 콘택용이 형성되지 않은 저단차 부위의 제 2 절연 증 및 제 1 절연층이 상대적으로 느리게 식각 되도록 한다.

(육주)

도 20 및 도 4d를 창조하면, 본 말명에 따른 신규한 반도체 장치의 콘택 뮬러그 형성 망범은, 콘택홀을 채우면서 절연용상에 도전층이 형성된다. 적어도 절연층의 상무 표면이 노출될 때까지 도전층이 에치 맥 내지 CMP 공쟁으로 식과 되어 콘택 플러그가 형성된 후, 콘택 플러그를 포함하여 절연층의 상무 표면이 CMP 공정으로 편탄화 식각 된다. 또는, 도전용및 절연층이 한 번의 CMP 공정으로 평탄화 식각 되어 콘택 플러그 및 평란한 상무 표면을 갖는 절연층이 형성된다. 이와 같은 만도체 장치의 제조 방법에 의해서, 콘택홀을 도전층으로 채운 후 절연층 평탄화 공정을 수행함으로써, 절연층 상투표면의 스크래치 말생에 따른 배선간의 보리지 말생을 당지함 수 있고, 저경도의 하무 절연층 상에 고경도를 갖는 상무 점연층을 형성함으로써, 고단차 영역과 저단차 영역의 효과적인 평탄화를 얻을 수 있고, 평란화 식각을 위한 절연층의 투제를 절일 수 있다.

(실시예 1)

이하, 도 2 및 도 3흝 참조하여 본 달명의 제 1 실시예쁠 상세히 설명한다.

도 2a 내지 도 2e는 본 말명의 제 1 실시예에 따른 반도체 장치의 콘텍 플러그 협성 방법의 공정읍을 순차적으로 보여주 는 요즘도 이다.

도 2a분 참조하면, 본 발명의 제 1 실시에에 따른 반도체 장치의 콘택 품러그 형성 망엽은 먼저, 반도체 기판(100) 상에 활성 명역과 비활성 명역을 챙의하기 위한 소자격리막(102)이 형성된다. 상기 소자격리막(102)은 예를 들어, STI(shallow trench Isolation) 망면으로 형성된다. 상기 반도제 기판(100) 상에 게이트 전국(104) 예를 들어, 반도체 에오리 장치의 워드 라인이 형성된다. 상기 게이트 전국(104)의 양쪽의 활성 명역 내에 확산 영역을(도면에 미도시) 예를 들어, 소오스/드레인 명역들이 형성된다. 상기 게이트 전국(104)을 포함하여 반도체 기판(100) 전면에 배선간의 절면을 위한 절면층(106)이 형성된다.

상기 절연충(106)은, Si02, USG, BPSG, PSG, SIN, SiON, SIOF, SOG, FOX, 그리고 젊리대 중 어느 하나로 펼성되는 단일약 또는 이들의 복합막이다.

바람직하게, 상기 절연충(106)은 서로 다른 경도의 하부 철연용(106a) 및 상부 절연용(106b)을 갖는 다중막으로 형성된다. . 하부 절연충(106a)은 예쁠 들어, 산화막(106a)으로서 바람직하게 4000Å 내지 12000Å의 두께 범위 내로 형성된다.

상기 하무 절면총(106a)은 예를 들어, CVD(chemical vapor deposition), 리플로우(reflow), 중확식각, 그리고 HDP(high density plasma) 중의 방법에 의한 SIO2, USG(undoped silicate glass), BPSG(boro-phospho-silicate-glass), PSG(phospho-silicate-glass), 그리고 SIOF 또는 스핀 코팅(spin coating) 방법에 의한 SOG(spin on glass), FOX(flowable oxide), 그리고 폴리머(polymer) 중 어느 하나로 형성되는 단일막 또는 이름의 목합막이다.

상기 상무 절쫀츱(106b)은 상기 하부 절연杏(106a) 보다 상대적으로 고경도를 갖는 막흰로서, 바랑직하게 100시 내지 1000시의 두께 범위 내로 형성된다.

상기 상무 절면송(1066)은 예를 뜯어, SiN, SiON, AIN, AI203, diamond like carbon, 그리고 BN 중 어느 하나로 협성되는 단일악 또는 이출의 국합막이다. 상기 상무 절면송(106b)은 후속 평탄화 식각 공정에서 저단차 영역의 하루 절면총 (106a)의 식각을 느리게 하는 기능을 갖는다.

상기 절면충(106)의 상무 표면은 상기 게이트 전국(104)의 토플로지를 따라 울퉁불등하게 형성되며, 상기 게이트 전국 (104)이 형성된 영역은 게이트 전국(104)이 형성되지 않은 영역보다 상대적으로 고단차를 갖게 된다.

도 2b에 있어서, 상기 확산 영역을 중 적어도 하나가 노출될 때까지 상기 절연종(106)이 식각 되어 콘택홀(108)이 형성된다.

도 2c에서와 같이, 상기 본맥출(108)을 완전히 채우기에 충분한 두께 예를 들어, 3000시 내지 5000시의 두께 벌위 내로 상부 결연충(106b) 상에 본택 포러그 형성을 위한 도전총(110)이 청성된다. 상기 도전총(110)은 CVD, PVD, 리플로우 (reflow), 그리고 force fill 방법 중 어느 하나에 의해 형성된 W, Al, Cu, Ti, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Sl 중 어느 하나이다.

상기 도전층(110) 형성 전에 콘택 저항 개선, 상호 반응 역제, 그리고 접착(adhesion) 특성 개선을 위한 배리어락 (barrier layer)(도면에 미도시)이 더 형성될 수 있다. 상기 배리어막은 예를 들어, Ti, TiN, Ta, TaN, WN, 그리고 TISIN 중 어느 하나로 형성되는 단일막 또는 이름의 특합막이다.

다음, 도 2d쿺 창조하면, 상기 상부 절연충(106b)의 상부 표연이 노출될 때까지 도전충(110)이 식각 되어 콘택 즐러그 (110a)가 형성된다.

상기 도전충(110) 식각 공정은, CMP 공정 또는 바랑작하게, 습식 내지 건식 방법에 의한 에치 맥 공정 등으로 수행된다.

상기 CMP 공정으로 상기 도전층(110) 식각 공정이 수행되는 경우, 상가 절면증(106)에서 식각 정지가 이루어지도록 하기 위해, 상기 상부 절면층(106b) 및 하부 절연총(106a)에 대한 도전층(110)의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백 의 범위 내의 연마제가 사용된다. 바람곡하게, 상기 산화막(106a) 및 진화막(SiN 또는 SiON)(106b)에 대해 플리실리콘층 (110)이 다섯 배 이상의 높은 연마 속도를 갖는 연마제가 사용된다.

도 3은 곧 발명의 제 1 실시예에 따른 리세스된 콘택 플러그(110b)를 보여주는 단면도이다.

상기 에치 백 공정으로 도전용 식각 공정이 수행되는 경우, 중문한 과식각(over etch)이 진행되어 문력흡(108) 내에 채워 진 도전충(110)이 식각 되면 도 3에서와 같이, 리세스된 콘택 즐러그(110b)가 형성된다. 상기 리세스된 콘택 플러그 (110b)는 후속 집연령 평란화 식각 공정시 식각 정지층으로 사충될 수 있다.

마지막으로, 상기 콘택 즐러그(110a 또는 110b) 및 점연용(106)에 대해 CMP 공쟁으로 평란화 식각 공정이 수행된다. 그러면, 도 2e에 도시된 바와 감이, 상부 점연용(106b)이 제거되고, 하부 절연용(106a)의 상부 표연이 평란화 되며, 하부 절연용(106a)의 상부 표연과 나란한 상부 표연을 갖는 문택 플러그(110a)가 형성된다. 이때, 상기 CMP 공정은 바람족하게, 도전용에 대한 절연용의 (마 속도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제를 사용하여 수행된다. 관편, 상기 리세스된 혼택 플러그(110b)과 경성된 경우, 바람직하게 상기 리세스된 혼택 플러그(110b)로 속복 생지용으로 사용하여 점선으로 나타낸 무위(111)까지 상기 점연용(106)이 CMP 공쟁으로 평란화 식각 된다.

상기 게이트 전국(104) 및 콘맥출(108)용 갖는 고단차 영역은 이들이 형성되지 않은 저단차 영역보다 더 높은 연마 속도로 식각 되므로 절면충(106)의 상무 표면의 평란화가 용이하게 달성된다. 또한, 상기 고경도로 갖는 상무 절연충(106b)이 하무 절연충(106a)보다 더 느리게 식각 되므로 효과적인 평란화를 얻게 된다. 따라서, 실질적인 배선간의 절면을 위한 점연층으로 사용되는 상기 하무 절연충(106a)의 형성 두께를 존래에 비해 감소시킬 수 있게 된다.

한편. 상기 도전총(110) 및 절면총(106)을 CMP 공정을 사용하여 한 번에 평란화 식각 하여 콘맥 포러그(110a) 및 평탄한 상부 표면을 갖는 하부 절연총(106a)을 동시에 형성할 수도 있다. 이것은 바람직하게, 동상의 산화막 식각용 연마제 즉, 선택비가 없는 연마제쯤 사용하여 풀리심리콘용(110), 집화막(106b), 그리고 산화막(106a)이 차례로 식각 현다.

추속 공쟁으로, 상기 콘택 즐러그(110s, 110b)와 전기적으로 접속되는 상무 배선(도면에 미도시)이 형성된다. 평란화된 절면용(106)의 상부 표면에 콘택 풀러그 형성을 위한 도전 물질이 트랩 되지 않으므로, 상부 배선을 형성하더라도 배선간 의 브리지가 담생되지 않는다.

(실시예 2)

이하, 도 4 및 도 5를 참조하여, 본 말명의 제 2 실시예에 따른 반도제 장치의 콘택 끌러그 형성 방멈을 상세히 설명한다

도 4a 내지 도 4b는 본 말명의 제 2 실시예에 따콘 반도체 장치의 콘텍 플러그 형성 방명의 공쟁들을 순차적으로 보여주 는 호흡도 이다.

도 4a를 창조하면, 단 탑명의 제 2 심시예에 따른 만도체 장치의 콘택 플러그 형성 방법은 언저, 활성 영역과 비활성 영역이 경의된 반도체 기관(200)의 활성 영역 상에 금속 배선(202)이 형성된다. 또는, 게이트 전극(도면에 미도시)이 형성된 반도체 기판(200) 상에 절연층(도면에 미도시)(예를 춥어, 4000Å 내지 20000Å 두깨)이 형성된 후, 이 절연층 상에상기 금속 배선(202)이 형성된다.

상기 공속 배선(202)을 포함하여 만도체 기판(200) 전면에 배선간의 절면을 위한 절면총(204)이 형성된다.

상기 절면형(204)은, SIO2, USG, BPSG, PSG, SIN, SION, SIOF, SOG, FOX, 그리고 출리대 중 어느 하나로 형성되는 단일막 또는 이들의 목함막이다.

바람직하게, 상기 절면형(204)은 서로 다른 정도의 하부 절면용(204a) 및 상부 절면형(204b)줄 갖는 다츰막으로 형성된다. . 하무 결연용(204a)은 예클 들어, 산화막(204a)으로서 바람직하게 10000Å 내지 30000Å의 두께 범위 내로 형성된다.

상기 하부 질연총(204a)은 예를 들어, CVD, 리플로우, 증책석각, 그리고 HDP 등의 방법에 의한 SIO2, USG, 8PSG, PSG, 그리고 SIOF 또는 스핌 코팅 방법에 의한 SOG, FOX, 그리고 중리머 중 어느 하나로 협성되는 단일막 또는 이름의 목한막 이다.

상기 하부 절연층(204a) 상에 하부 절연층(204a) 보다 상대적으로 고경도군 갖는 상부 절연층(204b)이 바람직하게 100Å 내지 1000Å의 두께 범위 내로 더 형성된다.

상기 상무 절연층(204b)은 예를 둡어, SiN, SiON, AIN, AI203, dlamond like carbon, 그리고 BN 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다. 상기 상부 절연층(204b)은 후속 평탄화 식각 공쟁에서 저단차 영역의 하부 절연층 (204a)의 식각읍 느리게 하는 기능을 갖는다.

상기 절연중(204)의 상부 표면은 상기 궁속 배선(202)의 토포로지료 따라 울콩불쨩하게 협성되며, 상기 공축 배선(202)이 협성된 영역은 금속 배선(202)이 협성되지 않은 영역보다 상대적: 호 고단차를 갖게 된다.

도 45에 있어서, 상기 공학 배선(202) 중 적어도 하나의 삼무 표면이 노출될 때까지 상기 절연형(204)이 식각 되어 문택 홍(206)이 형성된다. 상기 콘택홈(206)을 포함하여 상부 절연증(2045) 상에 배리어막(207)이 형성된다. 상기 배리어막(207)은 콘택 저항을 개선하고, 상기 금속 배선(202)과 콘택 플러그 도전 중질 사이의 상호 반응을 역제하여, 콘택 플러그 도전 중질 사이의 상호 반응을 역제하여, 콘택 플러그 도전 움질의 접착 특성을 개선하기 위해서 형성된다. 상기 배리어막(207)은 예를 들어, Ti, Tin, Ta, Tan, WN, 그리고 TISIN 중 어느 하나로 형성되는 단일막 또는 이들의 목합막이다.

다음, 도 4c를 창조하면, 상기 콘텍홈(206)을 완전히 채우기에 충분한 두께 예골 들어, 2000Å 내지 6000Å의 두께 명위

내로 배리어막(207) 상에 도전형(208)이 형성된다. 상기 도전态(208)은 콘택 플러그 형성을 위한 것으로, CVD, PVD, 리 풀로우, 그리고 force fill 방법 중 어느 하나에 의한 W, Al, Cu, Tl, TlN, poly-Sl, W-Sl, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나로 형성된다.

도 4d에 있어서, 상기 상부 평연용(204b)의 상부 표면이 노출될 때까지 도전용(208) 및 배리어막(207)이 식각 되어 콘맥 픕러그(208a)가 형성된다.

상기 도전용(208) 및 배리어막(207) 식각 공정은, CMP 공정 또는 바람직하게, 습식 내지 건식 방법에 의한 에치 백 공정 등으로 수행된다.

상기 CMP 공정으로 도전총 식각 공정이 수행되는 경우. 상기 절연용(204)에서 식각 정지가 이루어지도록 하기 위해, 상기 상무 절연총(204b) 및 하부 절연용(204a)에 대한 도전총(208)의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 병위 내의 연마제가 사용된다. 바람직하게, 상기 산화막(204a) 및 질화막(SIN 또는 SiON)(204b)에 대해 텡스텐총(208)이 다섯 배 이상의 높은 연마 속도를 갖는 연마제가 사용된다.

도 5는 본 발명의 제 2 실시예에 따른 리세스된 콘액 플러그(208b)를 보여주는 단면도이다.

상기 에치 백 공정으로 도전층 식각 공정이 수행되는 경우, 도 3의 제 1 실시예에서와 같이 충문한 과식각을 진행하면 도 5에서와 같이, 리세스된 콘택 플러그(2086)가 형성된다. 상기 리세스된 콘택 플러그(2086)는 후속 절엽층 평탄화 식각 공정시 식각 정지층으로 사용될 수 있다.

마지막으로, 상기 콘택 물러그(208a 또는 208b) 및 절엽총(204)에 대해 CMP 공정으로 평란화 식각 공정이 수행된다. 그러면, 도 4e에 도시된 바와 같이, 상부 절연층(204b)이 제거되고, 하부 절연층(204a)의 상부 표면이 평란화 되며, 하무 절연층(204a)의 상부 표면과 나란한 상부 표면을 갖는 콘택 플러그(208a)가 형성된다. 이때, 이 CMP 공쟁은 바람직하게, 도전층(208)에 대한 절연층(204)의 연아 호도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제据 사용하여 수행된다. 한편, 상기 리세스된 콘택 플러그(208b)과 형성된 경우, 바람직하게 상기 리세스된 콘택 플러그(208b)를 식각 정지층으로 사용하여 정선으로 나타낸 무위(209)까지 상기 절연층(204)이 CMP 공정으로 평란화 식각 된다. 이 CMP 공정에서는 도전층(208)과 절연층(204)의 연마 숙도의 비가 1 : 10 이상인 연마제를 사용하는 것이 바람직하다.

상기 금속 배선(202) 및 콘택홀(206)을 갖는 고단차 영역은 이름이 형성되지 않은 저단차 영역보다 더 높은 연마 손도로 식각 되므로 전연용(204)의 상부 표면의 평란화가 용이하게 담성된다. 또한, 상기 고경도의 상부 절연용(204b)이 하부 절연총(204a) 보다 더 느리게 식각 되므로 효과적인 평탄화율 얻게 된다. 따라서, 신질적인 배선간의 절연을 위한 절연 용으로 사용되는 상기 하부 절연층(204a)의 두께를 종래에 비해 감소시킬 수 있게 된다.

한편, 상기 도전총(208) 및 전연총(204)을 CMP 공정을 사용하여 한 번에 평란화 시각 하여 콘택 표러그(208a) 및 평란한 상무 표연을 갖는 하무 절면종(204a)을 동시에 형성할 수도 있다. 이것은 바람직하게, 동상의 산화막 식각용 연마제 즉, 선택비가 없는 연마제를 사용하여 텅스텐총(208), 배리어막(207), 질화막(204b), 그리고 산화막(204a)이 차례로 시각 된다.

추속 공정으로, 상기 콘핵 플러그(208a. 208b)와 전기적으로 접속되도록 상부 배선(도면에 미도시)이 형성된다. 평란화된 절면층(204)의 상부 표면에 콘택 플러그 형성을 위한 도전 묾질이 트랩 되지 않으므로, 상부 배선을 평성하더라도 배선간의 브리지가 발생되지 않는다.

본 방영은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며, 본 방영의 사상을 벗어나지 않는 병위 내에서 다양한 행태의 면령도 가능함은 이 분야에 중상의 지식을 가진 자에게는 자영한 사실이다. 예쁜 들어, 서로 다른 깊이의 콘택흡요 갖는 경우에 대해서도 적용 가능하다. 곤 방영은 종래 반도체 장치의 콘액 플러그 형성 방법이 참연막 CMP 공정 후 콘택 퓹러그 CMP 공정을 수행함에 따라. 결 연약의 상무 표면의 스크래치 탄생에 따른 배선간의 보리지 현상이 말생되는 물제정읍 해결한 것이다.

본 발명에 따른 반도체 장치의 흔택 플러그 형성 방법은 존택 플러그가 협성된 후 절연층이 평란화 식각 됨으로써 젊연층 상무 표면의 스크래치에 따른 배선간의 보리지금 방지함 수 있는 효과가 있다.

또한, 저경도의 하부 전면용 상에 고경도를 갖는 상부 절면춤을 형성함으로써, 절연층 명단화 식각시 도전 구조물이 월성 된 고단차 영목과 도전 구조물이 월성되지 않은 저단차 영목의 평란화를 개선시킬 수 있으며, 평란화 식각을 위한 절연용 의 두께로 중임 수 있는 효과가 있다.

(57) 평구의 범위

청구항 1. - 반도체 기판 내에 복수 개의 확산 영역읍 갖는 만도체 기판 상에 도전 구조출을 형성하는 단계:

상기 도전 구조물을 포함하여 반도체 기판 상에 절연응을 형성하는 단계:

상기 확산 영역물 및 도전 구조콩 중 적어도 하나의 상무 표면이 노출될 때까지 삼기 절면충을 식각 하여 **문택흡을 형성** 하는 단계:

상기 콘택증을 채우면서 상기 점연층 상에 도전층을 형성하는 단계:

잭어도 상기 절연층의 상부 표면이 노출될 때까지 상기 도전층을 식각 하여 콘택 플러그룹 형성하는 단계; 및

상기 온택 풀러그룹 포함하여 상기 절연층의 상부 표면을 평탄화 식각 공정으로 식각 하는 단계를 포함하는 반도체 장치의 콘택 플러그 형성 방법.

정구함 2. 제 1 함에 있어서.

상기 질면움은, SiO2, USG, BPSG, PSG, SIN, SION, SIOF, SOG, FOX, 즐리머, 그리고 이름의 목반막 중 어느 하나로 펼섫되는 반도체 장치의 콘텍 플러그 형성 방법.

월구항 3. 제 1 항에 있어서.

상기 도전용은, CVD, PVD, 리튬로우, 그리고 force fill 방법 중 어느 하나로 형성되는 ₩, Al, Cu, Tl, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나인 반도체 장치의 콘택 즐러그 형성 망법.

철구항 4. 제 1 항에 있어서,

상기 도전용 식각 공쟁은, 에치 맥 공정 및 CMP 공정 중 어느 하나로 수행되는 반도체 장치의 콘택 클러그 형성 방법.

청구항 5. 제 4 함에 있어서,

상기 에치 백 공정은, 습식 방법 및 건식 망법 중 어느 하나로 수행되는 만도체 장치의 콘택 풀러고 형성 방법.

월구함 6. 제 4 함에 있어서,

상기 CMP 공정은, 상기 절연홍과 도전용의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 병위 내의 연마제**글** 사용하여

수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 7. 제 1 항에 있어서.

상기 도전층 식각 공점은, 상기 도전총이 과식각 되어 상기 리세스된 콘택 플러그가 형성된 때까지 수행되고, 상기 리세스된 콘택 즐러그는 상기 평란화 식각 공정시 식각 정치송으로 사용되는 만도체 장치의 콘택 플러그 형성 방법.

철구할 8. 제 1 항에 있어서,

상기 평탄화 식각 공정은, 상기 절연용과 도전용의 연마 속도의 비가 1 : 수 맥 내지 수 맥 : 1의 범위룡 갖는 연마제공 사용하는 CMP 공정으로 수행되는 만도채 장치의 존택 플러그 형성 방법.

월구항 9. 제 1 항에 있어서,

상기 도전층 협성 전에 상기 본랙흡을 포함하여 절연홍 상에 배리어약을 형성하는 단계를 더 포함하는 반도체 장치의 본택 즐러고 형성 방법.

철구함 10. 제 9 항에 있어서,

상기 배리어막은 Ti, TiN, Ta, TaN, WN, TiSiN, 그리고 이들의 목황막 중 어느 하나로 형성되는 반도제 장치의 콘텍 플러그 형성 망면.

청구항 11. 반도체 기판 내에 극수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조율을 형성하는 단계:

상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연홍 및 제 1 절연홍보다 상대적으로 경도가 높은 제 2 절연총을 차례로 형성하는 단계:

상기 확산 영역등 및 도전 구조물 중 적어도 하나의 상부 표현이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘택촉출 형성하는 단계:

상기 콘택홈를 채우면서 상기 제 2 절면층 상에 도전층을 형성하는 단계:

적어도 상기 제 2 절연충의 상부 표연이 노출될 때까지 상기 도전층을 식각 하여 곤덕 품러그란 형성하는 단계: 및

상기 콘땍 플러그를 포함하여 상기 제 2 절연층 및 제 1 절연층의 상부 표면읍 평란화 식각 공정으로 식각 하는 단계를 포함하고,

상기 제 2 절연충은, 상기 평탄화 식각 공정에서 도전 구조물 및 콘택홈이 형성되지 않은 저단차 부위의 제 2 절연용 및 제 1 절연령이 상대적으로 느리게 식각 되도록 하는 반도체 장치의 콘택 출러그 형성 망명,

청구함 12. 제 11 함에 있어서,

상기 제 1 절면증은, SIO2, USG, BPSG, PSG, SIOF, SOG, FOX, 폴리머, 그리고 이들의 목함의 중 어느 하나로 현생되고, 상기 제 2 절연층은 SIN, SION, AIN, AI203, BN, diamond like carbon, 그리고 이들의 북함의 중 어느 하나로 형성되는 반도체 장치의 콘택 풀러그 형성 방법.

철구항 13. 제 11 항에 있어서,

상기 도전층은, CVD, PVD, 리플로우, 그리고 force fill 방법 중 어느 하나로 현생되는 W. Al, Cu. Tl. TIN. poly-Sl. W-Si. Al-Cu, 그리고 Al-Cu-Si 중 어느 하나인 반도체 장치의 문핵 플러그 형생 방법.

철구항 14. 제 11 항에 있어서,

상기 도전용 식각 공정은, 에치 맥 공정 및 CNP 공장 중 어느 하나로 수행되는 반도체 장치의 콘맥 끝러그 형성 방법,

청구항 15. 제 14 항에 있어서.

상기 에치 백 공정은, 습식 방법 및 건식 방법 중 어느 하나로 수행되는 반도체 장치의 콘텍 끝러그 형성 방법.

월구항 16. 제 14 항에 있어서.

상기 CMP 공정은, 상기 제 1 및 제 2 절연홍과 도전총의 연마 속도의 비가 1 : 수 택 내지 수 백 : 1의 범위를 갖는 연마 제물 사용하여 수행되는 만도체 장치의 콘택 플러그 형성 방법.

정구항 17. 제 11 항에 있어서.

상기 도전층 식각 공정은, 상기 도전층이 과식각 되어 상기 리세스된 콘택 플러그가 형성될 때까지 수행되고. 상기 리세 스된 콘택 플러그는 상기 평란화 식각 공정시 식각 정지층으로 사용되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 18. 제 11 함에 있어서.

상기 평탄화 식각 공정은 상기 제 1 및 제 2 절연충과 도전충의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 범위器 갖는 연마제공 사용하는 CMP 공정으로 수행되는 반도체 장치의 콘택 즐러고 형성 방법.

정구항 19. 제 11 함에 있어서.

상기 도전총 형성 전에 상기 콘맥홀을 포함하여 제 2 절연총 상에 배리어막을 협성하는 단계를 더 포함하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 20. 제 19 항에 있어서.

삼기 배리어막은 TI, TiN, Ta, TaN, WM, TISIN, 그리고 이들의 목함막 중 어느 하나로 형성되는 반도체 장치의 콘맥 플러그 형성 방법.

청구항 21. 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조읍을 형성하는 단계;

상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연총 및 제 1 절연총보다 상대적으로 경도가 높은 제 2 절연총을 차례로 형성하는 단계:

상기 확산 영역물 및 도전 구조물 중 적어도 하나의 상부 표면이 노출됩 때까지 상기 제 2 절면용 및 제 1 절면용은 차례로 식과 하여 콘택춤을 형성하는 단계:

상기 콘택흡을 채우면서 상기 제 2 절연명 상에 도전명을 형성하는 단계: 및

상기 도전층, 제 2 **절연층,** 그리고 제 1 절연층을 차례로 평탄화 식각 하여 곤택 풀러그 및 평탄한 상부 표연화 갖는 제 1 평연층을 형성하는 단계통 포항하고, 상기 제 2 절연층은 상기 평란화 식각 공정시, 도전 구조물 및 콘택홀이 형성되지 않은 저단차 무위의 제 2 절면층 및 제 1 절연층이 상대적으로 느리게 식각 되도록 하는 반도체 장치의 콘택 출러그 형성 방법.

청구항 22. 제 21 항에 있어서,

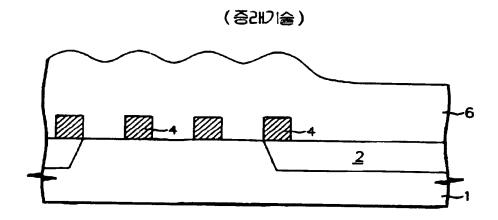
상기 도전층 형성 전에 상기 콘택홀을 포함하여 제 2 절연측 상에 배리어막을 형성하는 단계를 더 포함하는 반도체 장치의 콘맥 플러그 형성 방법.

청구**항 23.** 제 22 항에 있어서,

상기 배리어막은 Ti, TiN, Ta, TaN, WN, TiSIN, 그리고 이들의 목한학 중 어느 하나로 형성되는 만도제 장치의 은백 플러그 형성 망법.

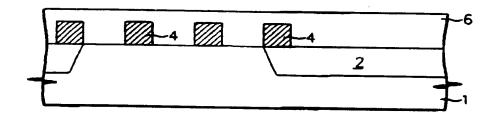
£Ø

£€1a



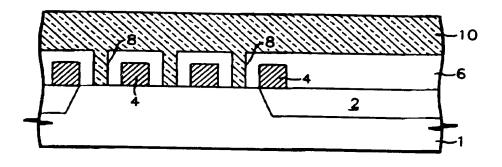
£91b

(종래기술)



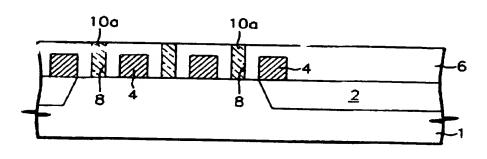
⊊91c

(종래기술)

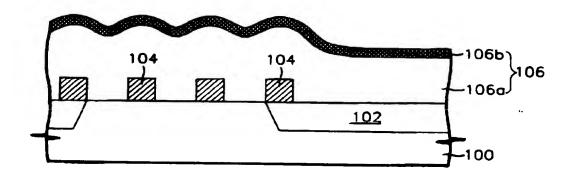


£01d

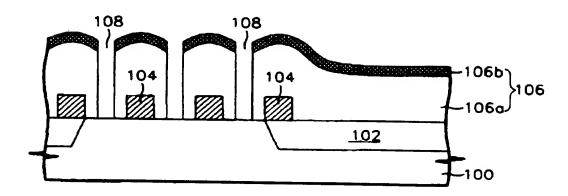
(종래기술)



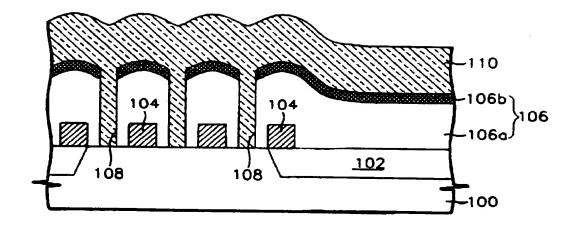
£012a



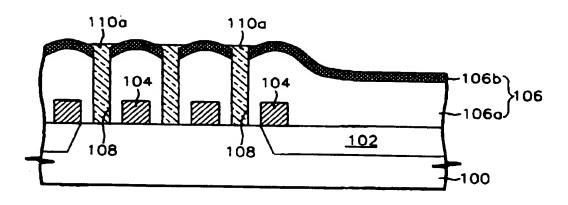
£ 22b



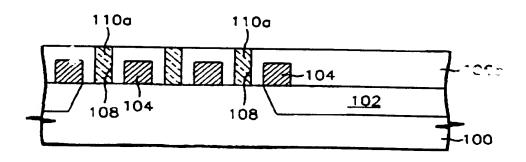
£**£**2c



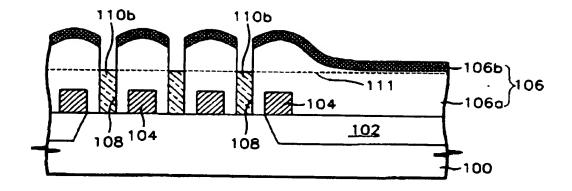
£ **2**2d



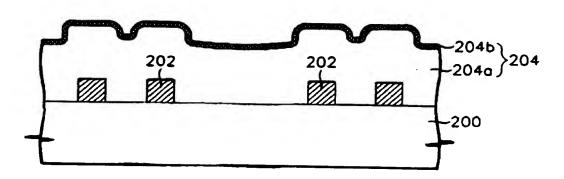
£920



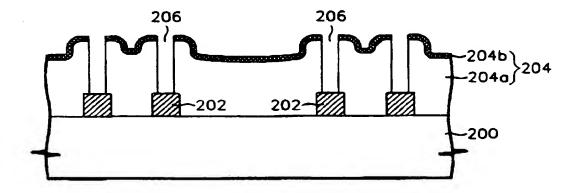
£93



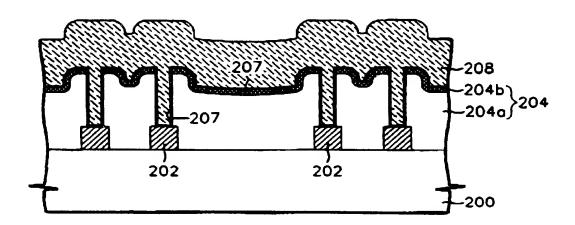
£@48



£94b



£24c



도열40

